

| (51)Int.Cl. ⁵ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|--------------------------|---------|---------|----------------|----------------------|
| H 0 1 L 27/108 | | | | |
| 21/60 | 3 0 1 N | 6918-4M | | |
| 27/04 | E | 8427-4M | | |
| | C | 8427-4M | | |
| | | 7210-4M | | |
| | | | H 0 1 L 27/ 10 | 3 2 5 Q |
| | | | 審査請求 未請求 | 請求項の数 4 O L (全 10 頁) |

(21)出願番号 特願平5-58725

(22)出願日 平成5年(1993)3月18日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 岡田 昌三

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 橋本 伸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 松本 晋

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 宮井 暎夫

最終頁に続く

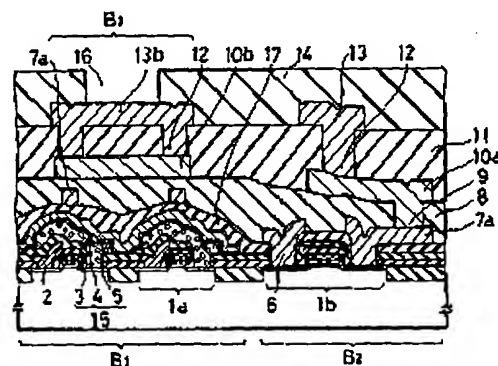
(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【目的】 チップの小面積化を容易にした半導体記憶装置を提供する。

【構成】 半導体チップ主面上に設けられた複数のメモリセルおよび複数のトランジスタの上部を含む領域にボンディングパッド10b、13bが位置し、そのボンディングパッド10b、13bが複数レベルの配線層の上部配線層10a、13aの一部で積層形成されており、積層形成されたボンディングパッド10b、13b間の上下方向コンタクトをボンディングパッド10b、13bの周辺部で行っている。

【効果】 ボンディングパッドを活性領域上に設けた構造にすることにより、チップの小面積化を実現することができる。



- 1 a スイッチングトランジスタ
- 1 b トランジスタ
- 2 ビット線
- 3 下部配線層
- 4 第2レベル配線層
- 5 上部配線層
- 7 a 第1レベル配線層
- 10 a 第2レベル配線層
- 10 b ボンディングパッド
- 13 a 第3レベル配線層
- 13 b ボンディングパッド
- 1 d 接触孔
- 1 e スタックトキャパシタ
- 1 f コンタクトホール
- B1 メモリセル領域
- B2 周辺回路領域
- B3 ボンディングパッド領域

【特許請求の範囲】

【請求項1】 複数のメモリセルおよび前記メモリセルの周辺に位置する複数のトランジスタを有する半導体基板と、前記メモリセルおよび前記複数のトランジスタの一部に接続された複数の第1レベル配線層と、前記第1レベル配線層の上方に位置する第2レベル以降の複数の配線層と、最上レベル配線層と同一層で形成された複数のボンディングパッドとを備えた半導体記憶装置であって、

前記メモリセルは前記複数のトランジスタと同時に形成されたスイッチングトランジスタを有しており、前記スイッチングトランジスタの一部と前記複数のトランジスタの一部は前記第1レベル配線層で接続されており、前記第1レベル配線層上部に位置する前記複数の第2レベル以降の配線層の各々が各レベル配線層直下の配線層の一部に接続されており、前記複数のボンディングパッドの各々が少なくとも前記複数のメモリセルおよび前記複数のトランジスタの一部を含む領域の上部に位置することを特徴とする半導体記憶装置。

【請求項2】 複数のメモリセルおよび前記メモリセルの周辺に位置する複数のトランジスタを有する半導体基板と、前記メモリセルおよび前記複数のトランジスタの一部に接続された複数の第1レベル配線層と、前記第1レベル配線層の上方に位置する2層以上の第2レベル以降の複数の配線層と、前記第2レベル以降の各々の配線層と同一層で積層形成された複数のボンディングパッドとを備えた半導体記憶装置であって、前記メモリセルは前記複数のトランジスタと同時に形成されたスイッチングトランジスタを有しており、前記スイッチングトランジスタの一部と前記複数のトランジスタの一部は前記第1レベル配線層で接続されており、前記第1レベル配線層上部に位置する前記複数の第2レベル以降の配線層の各々が各レベル配線層直下の配線層の一部に接続されており、前記複数のボンディングパッドの各々が少なくとも前記複数のメモリセルおよび前記複数のトランジスタの一部を含む領域の上部に位置し、積層形成された各ボンディングパッド間がボンディングパッド全面で上下方向にコンタクトされたことを特徴とする半導体記憶装置。

【請求項3】 複数のメモリセルおよび前記メモリセルの周辺に位置する複数のトランジスタを有する半導体基板と、前記メモリセルおよび前記複数のトランジスタの一部に接続された複数の第1レベル配線層と、前記第1レベル配線層の上方に位置する2層以上の第2レベル以降の複数の配線層と、前記第2レベル以降の各々の配線層と同一層で積層形成された複数のボンディングパッドとを備えた半導体記憶装置であって、前記メモリセルは前記複数のトランジスタと同時に形成されたスイッチングトランジスタを有しており、前記ス

スイッチングトランジスタの一部と前記複数のトランジスタの一部は前記第1レベル配線層で接続されており、前記第1レベル配線層上部に位置する前記複数の第2レベル以降の配線層の各々が各レベル配線層直下の配線層の一部に接続されており、

前記複数のボンディングパッドの各々が少なくとも前記複数のメモリセルおよび前記複数のトランジスタの一部を含む領域の上部に位置し、積層形成された各ボンディングパッド間がボンディングパッド周辺部で上下方向にコンタクトされたことを特徴とする半導体記憶装置。

【請求項4】 複数のメモリセルおよび前記メモリセルの周辺に位置する複数のトランジスタを有する半導体基板と、前記メモリセルおよび前記複数のトランジスタの一部に接続された複数の第1レベル配線層と、前記第1レベル配線層の上方に位置する第2レベル以降の複数の配線層と、最上レベル配線層と同一層に形成された複数のボンディングパッドとを備えた半導体記憶装置を製造する方法であって、

前記メモリセルおよび前記トランジスタを形成する工程と、

前記トランジスタおよび前記メモリセル内のスイッチングトランジスタの一部に接続された前記第1レベル配線層を形成する工程と、

前記第1レベル配線層上部に前記第2レベル以降の配線層を、各々の配線層が各レベル配線層直下の配線層の一部に接続されるように繰り返し形成する工程と、

少なくとも前記複数のメモリセルおよび前記複数のトランジスタの一部を含む領域の上部に前記複数のボンディングパッドを前記第2レベル以降の配線層の最上レベル配線層で同時に形成する工程を含む半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置およびその製造方法に関し、特に半導体基板主面上に設けられたボンディングパッドに関するものである。

【0002】

【従来の技術】従来、半導体記憶装置では、図9(a)に示すように、チップの外部と信号をやり取りするため複数のボンディングパッド64を半導体チップ主要面61の周辺部、すなわちメモリセル領域62および周辺回路領域63の周辺部に配置するのが一般であった。しかし、最近では図9(b)に示すように、小チップ化や高性能化のためにボンディングパッド64を半導体チップ主要面61の中央部に配置したLOC型のパッケージも提案されている(日本国特許出願 昭和61-32066、優先権主張 1985年4月18日、IBM)。

【0003】図10は、従来のボンディングパッドの配置でメモリセル領域に1つのスタックトキャパシタと1つのスイッチングトランジスタとで構成されるDRAMの

メモリセルを形成した場合の構造断面図である。図10において、A₁はメモリセル領域、A₂は周辺回路領域、A₃はボンディングパッド領域である。71aはメモリセル領域A₁のスイッチングトランジスタ、71bは周辺回路領域A₂のトランジスタ、72はポリサイド等の導電体膜で形成されたビット線、73はスタックトキャパシタの下部電極、74はスタックトキャパシタ82の容量絶縁膜、75はスタックトキャパシタ82の上部電極である。

【0004】76はコンタクトホール、77aは第1レベル配線層、77bは第1レベル配線層77aで形成されたボンディングパッド、78は層間絶縁膜、79はコンタクトホール、80aは第2レベル配線層、80bは第2レベル配線層80aで形成されたボンディングパッド、81は表面保護膜、83はボンディングパッド80bのコンタクトホール、84は層間絶縁膜である。

【0005】同図において、第1レベル配線層77aは下部電極73と容量絶縁膜74と上部電極75で構成されるスタックトキャパシタ82を形成した上部に形成されており、メモリセル領域A₁のスイッチングトランジスタ71aの一部と、周辺回路領域A₂のトランジスタ71bの一部と、ビット線72の一部と、スタックトキャパシタ82の上部電極75に接続されている。

【0006】また、第2レベル配線層80aは第1レベル配線層77aの上部に、また第2レベル配線層80aで形成されたボンディングパッド80bは第1レベル配線層77aで形成されたボンディングパッド77bの上部に形成されており、第2レベル配線層80aの各々は第1レベル配線層77aの一部に接続されている。このように従来の構造では、半導体チップ外部と信号をやり取りするためのボンディングパッドをメモリセル領域および周辺回路領域以外の半導体チップ主要面周辺部または半導体チップ主要面中央部に配置するのが通常であった。

【0007】

【発明が解決しようとする課題】しかしながら、上記の従来の構成では、メモリセル領域A₁および周辺回路領域A₂以外にボンディングパッド80bを形成するボンディングパッド領域A₃が必要になるため、半導体チップの小面積化という点で課題を有していた。この発明は、上記の従来の課題を解決するもので、半導体チップの小面積化が実現できる半導体記憶装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】この発明は、複数のボンディングパッドの各々を少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に配置した構成を特徴とするものである。つまり、請求項1記載の半導体記憶装置は、複数のメモリセルおよびメモリセルの周辺に位置する複数のトランジスタを有する半導体基板と、メモリセルおよび複数のトランジスタの一部に

接続された複数の第1レベル配線層と、第1レベル配線層の上方に位置する第2レベル以降の複数の配線層と、最上レベル配線層と同一層で形成された複数のボンディングパッドとを備えた半導体記憶装置であって、メモリセルは複数のトランジスタと同時に形成されたスイッチングトランジスタを有しており、スイッチングトランジスタの一部と複数のトランジスタの一部は第1レベル配線層で接続されており、第1レベル配線層上部に位置する複数の第2レベル以降の配線層の各々が各レベル配線層直下の配線層の一部に接続されており、複数のボンディングパッドの各々が少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に位置することを特徴としている。

【0009】請求項2記載の半導体記憶装置は、複数のメモリセルおよびメモリセルの周辺に位置する複数のトランジスタを有する半導体基板と、メモリセルおよび複数のトランジスタの一部に接続された複数の第1レベル配線層と、第1レベル配線層の上方に位置する2層以上の第2レベル以降の複数の配線層と、第2レベル以降の各々の配線層と同一層で積層形成された複数のボンディングパッドとを備えた半導体記憶装置であって、メモリセルは複数のトランジスタと同時に形成されたスイッチングトランジスタを有しており、スイッチングトランジスタの一部と複数のトランジスタの一部は第1レベル配線層で接続されており、第1レベル配線層上部に位置する複数の第2レベル以降の配線層の各々が各レベル配線層直下の配線層の一部に接続されており、複数のボンディングパッドの各々が少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に位置し、積層形成された各ボンディングパッド間がボンディングパッド全面で上下方向にコンタクトされたことを特徴としている。

【0010】請求項3記載の半導体記憶装置は、複数のメモリセルおよびメモリセルの周辺に位置する複数のトランジスタを有する半導体基板と、メモリセルおよび複数のトランジスタの一部に接続された複数の第1レベル配線層と、第1レベル配線層の上方に位置する2層以上の第2レベル以降の複数の配線層と、第2レベル以降の各々の配線層と同一層で積層形成された複数のボンディングパッドとを備えた半導体記憶装置であって、メモリセルは複数のトランジスタと同時に形成されたスイッチングトランジスタを有しており、スイッチングトランジスタの一部と複数のトランジスタの一部は第1レベル配線層で接続されており、第1レベル配線層上部に位置する複数の第2レベル以降の配線層の各々が各レベル配線層直下の配線層の一部に接続されており、複数のボンディングパッドの各々が少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に位置し、積層形成された各ボンディングパッド間がボンディングパッド周辺部で上下方向にコンタクトされたことを特徴として

いる。

【0011】請求項4記載の半導体記憶装置の製造方法は、複数のメモリセルおよびメモリセルの周辺に位置する複数のトランジスタを有する半導体基板と、メモリセルおよび複数のトランジスタの一部に接続された複数の第1レベル配線層と、第1レベル配線層の上方に位置する第2レベル以降の複数の配線層と、最上レベル配線層と同一層に形成された複数のボンディングパッドとを備えた半導体記憶装置を製造する方法であって、メモリセルおよびトランジスタを形成する工程と、トランジスタおよびメモリセル内のスイッチングトランジスタの一部に接続された第1レベル配線層を形成する工程と、第1レベル配線層上部に第2レベル以降の配線層を、各々の配線層が各レベル配線層直下の配線層の一部に接続されるように繰り返し形成する工程と、少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に複数のボンディングパッドを第2レベル以降の配線層の最上レベル配線層で同時に形成する工程とを含むものである。

【0012】

【作用】この発明はこの構成によって、ボンディングパッドを少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に配置できるので、従来用いていたボンディングパッドを形成するための領域が不要になり、このため半導体チップの面積が実現できる。またボンディングパッドを複数のレベルの配線層で積層形成した場合、ボンディングパッドの膜厚が厚くなるので、ボンディング時の衝撃によって発生するボンディングパッド下部の層間絶縁膜の損傷を緩和することができる。また積層形成した上下のボンディングパッド間をボンディングパッド周辺部のみで接続する構造にした場合、ボンディングパッドの膜厚がさらに厚くなるので前記層間絶縁膜の損傷がさらに緩和される。

【0013】

【実施例】以下この発明の実施例について図面を参照しながら説明する。

【第1の実施例】図1はこの発明による半導体記憶装置の第1の実施例であるDRAMの構造断面図である。図1において、B₁はメモリセル領域、B₂は周辺回路領域、B₃はメモリセル領域B₁に重なったボンディングパッド領域である。1aはメモリセル領域B₁のスイッチングトランジスタ、1bは周辺回路領域B₂のトランジスタ、2はポリサイド等の導電体膜で形成されたビット線、3はスタックトキャパシタ15の下部電極、4はスタックトキャパシタ15の容量絶縁膜、5はスタックトキャパシタ15の上部電極である。

【0014】6はコンタクトホール、7aは第1レベル配線層、8は層間絶縁膜、9はコンタクトホール、10aは第2レベル配線層、11は層間絶縁膜、12はコンタクトホール、13aは第3レベル配線層、13bは第

3レベル配線層13aで形成されたボンディングパッド、14は表面保護膜、16はボンディングパッド13bのコンタクトホール、17は層間絶縁膜である。

【0015】同図において、第1レベル配線層7aは下部電極3と容量絶縁膜4と上部電極5とで構成されるスタックトキャパシタ15の上部に形成されており、メモリセル領域B₁のスイッチングトランジスタ1aの一部と、周辺回路領域B₂のトランジスタ1bの一部、ビット線2の一部、およびスタックトキャパシタ15の上部電極5の一部に接続されている。また、第2レベル配線層10aは第1レベル配線層7aの一部に接続されており、第3レベル配線層13aと第3レベル配線層13aで形成されたボンディングパッド13bは、第2レベル配線層10aの一部に接続されている。

【0016】上記のDRAMは、情報を電荷の形で保持するスタックトキャパシタ15と、その電荷を外部回路とやりとりするためのビット線2、第1レベル配線層7a、第2レベル配線層10a、第3レベル配線層13a、第3レベル配線層13aで形成されたボンディングパッド13b、およびスイッチングトランジスタ1a、トランジスタ1bにより構成されている。

【0017】以上のように、この実施例によれば、ボンディングパッド13bを少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に配置できるので、従来用いていたボンディングパッドを形成するためのボンディングパッド領域B₃をメモリセル領域B₁、周辺回路領域B₂とは別に設けることが不要になり、このため半導体チップの面積が実現できる。

【0018】この実施例では、3レベルの配線層の場合を説明しているが、2レベル以上の配線層ならば配線層のレベル数には関係ないことは言うまでもないことであり、メモリセル構造や位置関係についてもこの発明の主旨を満たす範囲で関係ないことは言うまでもないことである。また、この実施例では、DRAMのメモリセルを用いているが、例えばSRAMや他のタイプのメモリセルでもよく、この場合ビット線に第1レベル配線層や第2レベル配線層を用いることもできる。

【0019】図2(a)~(d)はこの発明による半導体装置の製造方法の工程断面図である。以下、図2を参照してこの半導体記憶装置の製造方法について説明する。まず、図2(a)に示すように、複数のメモリセル領域B₁の各々に位置する複数のスイッチングトランジスタ1aと周辺回路領域B₂の複数のトランジスタ1bを半導体基板の主面上に形成し、その上部にスイッチングトランジスタ1aの一部に接続するビット線2を金属やそのシリサイドまたはポリサイドを用いて写真食刻法で形成し、スイッチングトランジスタ1aの他方に接続するスタックトキャパシタ15を下部電極3、容量絶縁膜4および上部電極5で形成する。酸化シリコン膜などからなる層間絶縁膜17を例えばCVD法で形成し、さ

らに下地所定領域へのコンタクトホール6を形成し、その後、金属やそのシリサイドなどで第1レベル配線層7を全面に形成し、フォトリソスト18による写真食刻法で所定の形状に第1レベル配線層7aを形成する。

【0020】つぎに、図2(b)に示すように、第1レベル配線層7aの上部に例えばCVD法等で層間絶縁膜8を形成し、つぎに層間絶縁膜8を通して第1レベル配線層7aに接続するコンタクトホール9を写真食刻法で形成し、その上部にスパッタ法やCVD法で形成した金属やそのシリサイドなどの第2レベル配線層10を全面に形成し、フォトリソスト19による写真食刻法で所定の形状に第2レベル配線層10aを形成する。

【0021】つぎに、図2(c)に示すように、第2レベル配線層10aの上部に例えばCVD法で形成した酸化シリコン膜等を用いて層間絶縁膜11を形成し、層間絶縁膜11中に第2レベル配線層10aの所定の領域と接続するコンタクトホール12を写真食刻法を用いて形成し、例えばスパッタ法や、CVD法でアルミやCu系の金属を形成した後、第3レベル配線層13を全面に形成し、フォトリソスト20による写真食刻法を用いて所定の形状に第3レベル配線層13aおよびボンディングパッド13bを図2(d)に示すように形成する。

【0022】そして、従来方法と同様にして、その上部に表面保護膜14およびボンディングパッド13b上のコンタクトホール16を形成する。

【第2の実施例】図3はこの発明による半導体記憶装置の第2の実施例であるDRAMの構造断面図である。図3において、B₁はメモリセル領域、B₂は周辺回路領域、B₃はメモリセル領域B₁に重なったボンディングパッド領域である。1aはメモリセル領域B₁のスイッチングトランジスタ、1bは周辺回路領域B₂のトランジスタ、2はポリサイド等の導電体膜で形成されたビット線、3はスタックトキャパシタ15の下部電極、4はスタックトキャパシタ15の容量絶縁膜、5はスタックトキャパシタ15の上部電極である。

【0023】6はコンタクトホール、7aは第1レベル配線層、8は層間絶縁膜、9はコンタクトホール、10aは第2レベル配線層、10bは第2レベル配線層10aで形成されたボンディングパッド、11は層間絶縁膜、12はコンタクトホール、13aは第3レベル配線層、13bは第3レベル配線層13aで形成されたボンディングパッド、その上部が表面保護膜14である。16は上記実施例と同様のコンタクトホール、17は層間絶縁膜である。

【0024】同図において、第1レベル配線層7aは下部電極3と容量絶縁膜4と上部電極5とで構成されるスタックトキャパシタ15の上部に形成されており、メモリセル領域B₁のスイッチングトランジスタ1aの一部と、周辺回路領域B₂のトランジスタ1bの一部、ビット線2の一部、およびスタックトキャパシタ15の上部

電極5の一部に接続されている。また、第2レベル配線層10aおよび第2レベル配線層10aで形成されたボンディングパッド10bは第1レベル配線層7aの一部に接続されており、第3レベル配線層13aは第2レベル配線層10aの一部に、また第3レベル配線層13aで形成されたボンディングパッド13bは第2レベル配線層10aで形成されたボンディングパッド10bに全面で接続されている。

【0025】上記のDRAMは、情報を電荷の形で保持するスタックトキャパシタ15と、その電荷を外部回路とやりとりするためのビット線2、第1レベル配線層7a、第2レベル配線層10a、第2レベル配線層10aで形成されたボンディングパッド10b、第3レベル配線層13a、第3レベル配線層13aで形成された第2レベル配線層10aで形成されたボンディングパッド10bに全面で接続するボンディングパッド13b、およびスイッチングトランジスタ1a、トランジスタ1bにより構成されている。

【0026】以上のように、この実施例によれば、ボンディングパッド10b、13bを少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に配置できるので、従来用いていたボンディングパッドを形成するためのボンディングパッド領域B₃をメモリセル領域B₁、周辺回路領域B₂とは別に設けることが不要になり、このため半導体チップの片面積化が実現できる。また、ボンディングパッド10b、13bが複数レベルの配線層10a、13aで積層形成されているため、第1の実施例に比べてボンディングパッド10b、13bの部分の膜厚が厚くなり、これによってボンディング時の衝撃によって発生するボンディングパッド10b、13bの下部の層間絶縁膜8の損傷を緩和することもできる。

【0027】この実施例では、3レベルの配線層の場合を説明しているが、3レベル以上の配線層ならば配線層のレベル数には関係ないことは言うまでもないことであり、メモリセル構造や位置関係についてもこの発明の主旨を満たす範囲で関係ないことは言うまでもないことである。また、この実施例では、DRAMのメモリセルを用いているが、例えばSRAMや他のタイプのメモリセルでもよく、この場合ビット線に第1レベル配線層等を用いることもできる。

【0028】図4(a)～(d)はこの発明による半導体装置の製造方法の工程断面図である。以下、図4を参照してこの半導体記憶装置の製造方法について説明する。まず、図4(a)に示すように、複数のメモリセル領域B₁の各々に位置する複数のスイッチングトランジスタ1aと周辺回路領域B₂の複数のトランジスタ1bを半導体基板の主面上に形成し、その上部にスイッチングトランジスタ1aの一部に接続するビット線2を金属やそのシリサイドまたはポリサイドを用いて写真食刻法で形成し、スイッチングトランジスタ1aの他方に接続

するスタックトキャパシタ15を下部電極3、容量絶縁膜4および上部電極5で形成する。つぎに、酸化シリコン膜などからなる層間絶縁膜17を例えばCVD法で形成し、さらに下地所定領域へのコンタクトホール6を形成し、その後、金属やそのシリサイドなどで第1レベル配線層7を全面に形成し、フォトリソ18による写真食刻法で所定の形状に第1レベル配線層7aを形成する。

【0029】つぎに、図4(b)に示すように、第1レベル配線層7aの上部に例えばCVD法等で層間絶縁膜8を形成し、つぎに層間絶縁膜8を通して第1レベル配線層7aに接続するコンタクトホール9を写真食刻法で形成し、その上部にスパッタ法やCVD法で形成した金属やそのシリサイドなどの導電体膜を用いて第2レベル配線層10を全面に形成し、フォトリソ19による写真食刻法で所定の形状に第2レベル配線層10aを形成する。

【0030】つぎに、図4(c)に示すように、第2レベル配線層10aの上部に例えばCVD法で形成した酸化シリコン膜等を用いて層間絶縁膜11を形成し、層間絶縁膜11中に第2レベル配線層10aの所定の領域とボンディングパッド10bの全面とに接続するコンタクトホール12を写真食刻法を用いて形成し、例えばスパッタ法や、CVD法でアルミやCu系の金属を形成した後、第3レベル配線層13を全面に形成し、フォトリソ20による写真食刻法を用いて所定の形状に第3レベル配線層13aおよびボンディングパッド13bを図4(d)に示すように形成する。

【0031】そして、従来方法と同様にして、その上部に表面保護膜14およびボンディングパッド13b上のコンタクトホール16を形成する。

【第3の実施例】図5はこの発明による半導体記憶装置の第3の実施例であるDRAMの構造断面図である。図5において、B₁はメモリセル領域、B₂は周辺回路領域、B₃はメモリセル領域B₁に重なったボンディングパッド領域である。1aはメモリセル領域B₁のスイッチングトランジスタ、1bは周辺回路領域B₂のトランジスタ、2はポリサイド等の導電体膜で形成されたビット線、3はスタックトキャパシタ15の下部電極、4はスタックトキャパシタ15の容量絶縁膜、5はスタックトキャパシタ15の上部電極である。

【0032】6はコンタクトホール、7aは第1レベル配線層、8は層間絶縁膜、9はコンタクトホール、10aは第2レベル配線層、10bは第2レベル配線層で形成されたボンディングパッド、11は層間絶縁膜、12はコンタクトホール、13aは第3レベル配線層、13bは第3レベル配線層13aで形成されたボンディングパッド、その上部が表面保護膜14である。16は上記実施例と同様のコンタクトホール、17は層間絶縁膜である。

【0033】同図において、第1レベル配線層7aは下部電極3と容量絶縁膜4と上部電極5とで構成されるスタックトキャパシタ15の上部に形成されており、メモリセル領域B₁のスイッチングトランジスタ1aの一部と、周辺回路領域B₂のトランジスタ1bの一部、ビット線2の一部、およびスタックトキャパシタ15の上部電極5の一部に接続されている。また、第2レベル配線層10aおよび第2レベル配線層10aで形成されたボンディングパッド10bは第1レベル配線層7aの一部に接続されており、第3レベル配線層13aは第2レベル配線層10aの一部に、第3レベル配線層13aで形成されたボンディングパッド13bは第2レベル配線層10aで形成されたボンディングパッド10bの周辺部で接続されている。

【0034】図6にこの実施例のボンディングパッド構造平面図を示す。(a)が第2の実施例のボンディングパッド構造平面図、(b)が第3の実施例のボンディングパッド構造平面図である。上記のDRAMは、情報を電荷の形で保持するスタックトキャパシタ15と、その電荷を外部回路とやりとりするためのビット線2、第1レベル配線層7a、第2レベル配線層10a、第2レベル配線層10aで形成されたボンディングパッド10b、第3レベル配線層13a、第3レベル配線層13aで形成された第2レベル配線層10aで形成されたボンディングパッド10bにボンディングパッド10bの周辺部で接続するボンディングパッド13b、およびスイッチングトランジスタ1a、トランジスタ1bにより構成されている。

【0035】以上のように、この実施例によれば、ボンディングパッド10b、13bを少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に配置できるので、従来用いていたボンディングパッドを形成するためのボンディングパッド領域B₃をメモリセル領域B₁、周辺回路領域B₂とは別に設けることが不要になり、このため半導体チップの片面積化が実現できる。また、ボンディングパッド10b、13bが複数レベルの配線層10a、13aで積層形成されており、またボンディングパッド領域B₃には上下のボンディングパッド10b、13b間にさらに層間絶縁膜11が形成されているため、ボンディングパッド10b、13bの膜厚が第2の実施例に比べて厚くなり、これによってボンディング時の衝撃によって発生するボンディングパッド10b、13bの下部の層間絶縁膜8の損傷をさらに緩和することもできる。

【0036】この実施例では、3レベルの配線層の場合を説明しているが、3レベル以上の配線層ならば配線層のレベル数には関係ないことは言うまでもないことであり、メモリセル構造や位置関係についてもこの発明の主旨を満たす範囲で関係ないことは言うまでもないことである。また、この実施例では、DRAMのメモリセルを用いているが、例えばSRAMや他のタイプのメモリセ

ルでもよく、この場合ビット線に第1レベル配線層等を用いることもできる。

【0037】図7(a)~(d)はこの発明による半導体装置の製造方法の工程断面図である。以下、図7を参照してこの半導体記憶装置の製造方法について説明する。まず、図7(a)に示すように、複数のメモリセル領域B、の各々に位置する複数のスイッチングトランジスタ1aと周辺回路領域B₂の複数のトランジスタ1bを半導体基板の主面上に形成し、その上部にスイッチングトランジスタ1aの一部に接続するビット線2を金属

やそのシリサイドまたはポリサイドを用いて写真食刻法で形成し、スイッチングトランジスタ1aの他方に接続するスタックトキャパシタ15を下部電極3、容量絶縁膜4および上部電極5で形成する。つぎに酸化シリコン膜などからなる層間絶縁膜17を例えばCVD法で形成し、さらに下地所定領域へのコンタクトホール6を形成し、その後、金属やそのシリサイドなどで第1レベル配線層7を全面に形成し、フォトリソ18による写真食刻法で所定の形状に第1レベル配線層7aを形成する。

【0038】つぎに図7(b)に示すように、第1レベル配線層7aの上部に例えばCVD法等で層間絶縁膜8を形成し、つぎに層間絶縁膜8を通して第1レベル配線層7aに接続するコンタクトホール9を写真食刻法で形成し、その上部にスパッタ法やCVD法で形成した金属やそのシリサイドなどの導電性膜を用いて第2レベル配線層10を全面に形成し、フォトリソ19による写真食刻法で所定の形状に第2レベル配線層10aを形成する。

【0039】つぎに、図7(c)に示すように、第2レベル配線層10aの上部に例えばCVD法で形成した酸化シリコン膜等を用いて層間絶縁膜11を形成し、層間絶縁膜11中に第2レベル配線層10aの所定の領域とボンディングパッド10bの周辺部とに接続するコンタクトホール12を写真食刻法を用いて形成し、例えばスパッタ法や、CVD法でアルミやCu系の金属を形成した後、第3レベル配線層13を全面に形成し、フォトリソ20による写真食刻法を用いて所定の形状に第3レベル配線層13aおよびボンディングパッド13bを図7(d)に示すように形成する。

【0040】そして、従来方法と同様にして、その上部に表面保護膜14およびボンディングパッド13b上のコンタクトホール16を形成する。以上説明した各実施例は、図8に示すように、ボンディングパッド54を少なくとも複数のメモリセル52および複数のトランジスタ53の一部を含む領域の上部に配置できるので、従来用いていたボンディングパッドを形成するためのボンディングパッド領域をメモリセル領域および周辺回路領域と別に設けることが不要になり、このため半導体チップ51の片面積化が実現できる。

【0041】なお、この発明の主旨はメモリセルやその周辺に形成された複数のトランジスタの上部に形成する複数の配線層およびボンディングパッドに関するものであり、メモリセルの構造や位置関係およびメモリタイプにより変わらないことは言うまでもないことである。

【0042】

【発明の効果】この発明は、ボンディングパッドを少なくとも複数のメモリセルおよび複数のトランジスタの一部を含む領域の上部に配置できるので、従来用いていたボンディングパッドを形成するためのボンディングパッド領域をメモリセル領域および周辺回路領域と別に設けることが不要になり、このため半導体チップの片面積化が実現でき、その実用的効果は大きい。また、ボンディングパッドを複数レベルの配線層で積層形成した場合や、さらに積層形成した上下のボンディングパッド間をボンディングパッド周辺部のみで接続する構造にした場合、ボンディングパッドの膜厚がさらに厚くなるのでボンディング時の衝撃によって発生するボンディングパッド下部の層間絶縁膜の損傷を緩和することができ、その実用的効果がさらに大きくなる。

【図面の簡単な説明】

【図1】この発明による半導体記憶装置の第1の実施例であるDRAMの構造断面図である。

【図2】(a)~(d)はこの発明による半導体記憶装置の製造方法の第1の実施例の工程断面図である。

【図3】この発明による半導体記憶装置の第2の実施例であるDRAMの構造断面図である。

【図4】(a)~(d)はこの発明による半導体記憶装置の製造方法の第2の実施例の工程断面図である。

【図5】この発明による半導体記憶装置の第3の実施例であるDRAMの構造断面図である。

【図6】(a)は第2の実施例のボンディングパッドの構造平面図、(b)は第3の実施例のボンディングパッドの構造平面図である。

【図7】(a)~(d)はこの発明による半導体記憶装置の製造方法の第3の実施例の工程断面図である。

【図8】この発明による半導体記憶装置のチップ平面図である。

【図9】(a)、(b)は従来技術による半導体記憶装置のチップ平面図である。

【図10】従来技術による半導体記憶装置の構造断面図である。

【符号の説明】

1a スwitchングトランジスタ

1b トランジスタ

2 ビット線

3 下部電極

4 容量絶縁膜

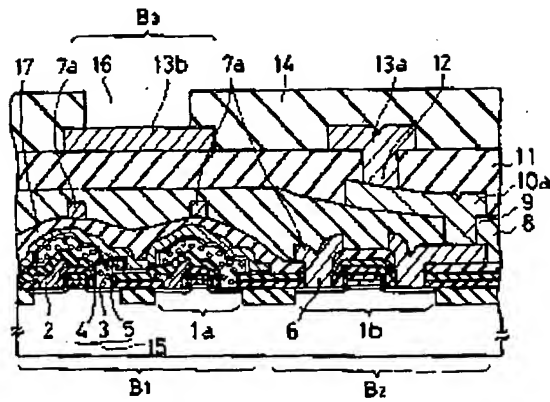
5 上部電極

50 7a 第1レベル配線層

13

- 10a 第2レベル配線層
10b ボンディングパッド
13a 第3レベル配線層
13b ボンディングパッド
14 表面保護膜

【図1】

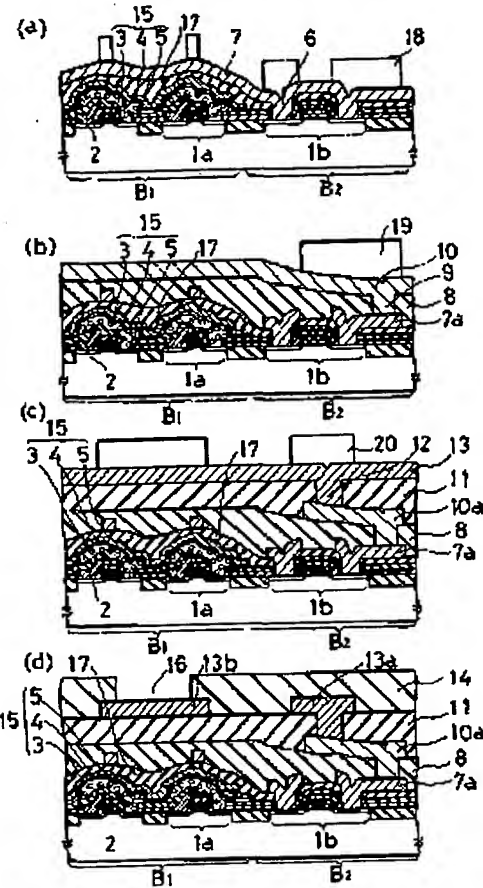


- 1a スイッチングトランジスタ
1b トランジスタ
2 ビット線
3 下部電極
4 容量絶縁膜
5 上部電極
7a 第1レベル配線層
10a 第2レベル配線層
10b ボンディングパッド
13a 第3レベル配線層
13b ボンディングパッド
14 表面保護膜
15 スタックトキャパシタ
16 コンタクトホール
B₁ メモリセル領域
B₂ 周辺回路領域
B₃ ボンディングパッド領域

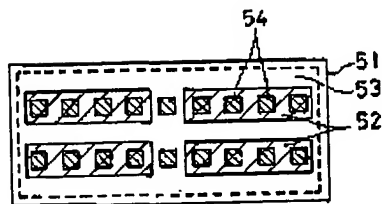
14

- * 15 スタックトキャパシタ
16 コンタクトホール
B₁ メモリセル領域
B₂ 周辺回路領域
* B₃ ボンディングパッド領域

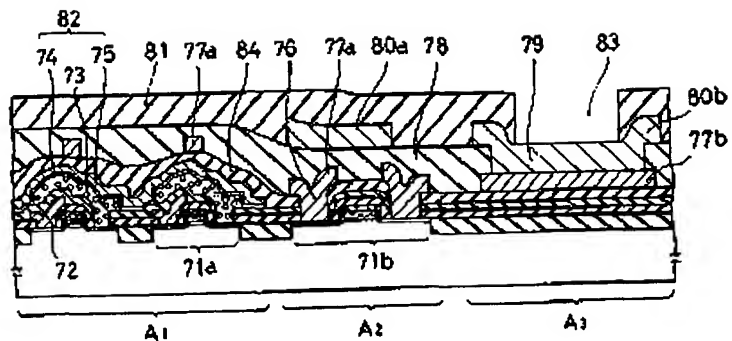
【図2】



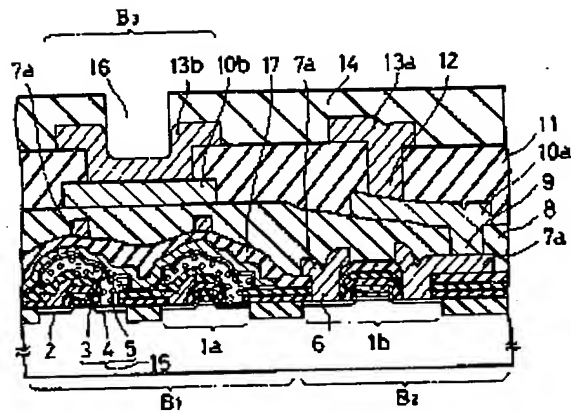
【図8】



【図10】

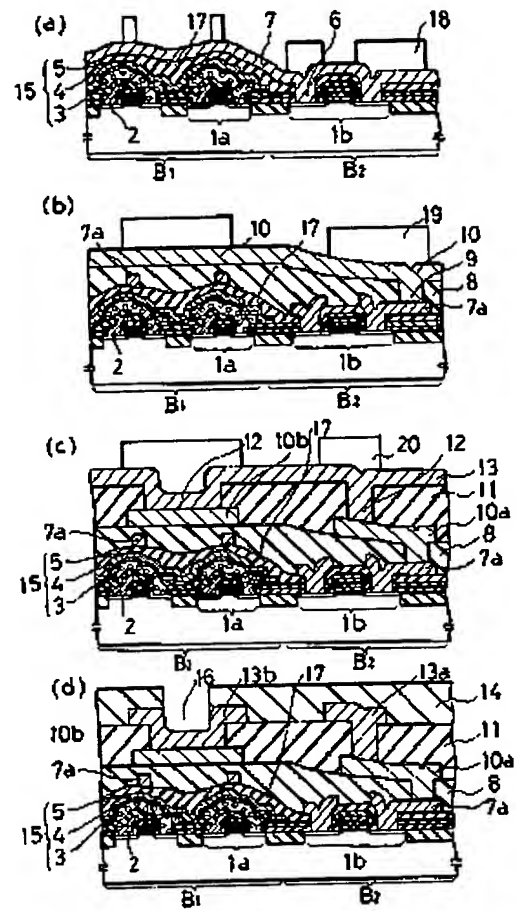


【図3】

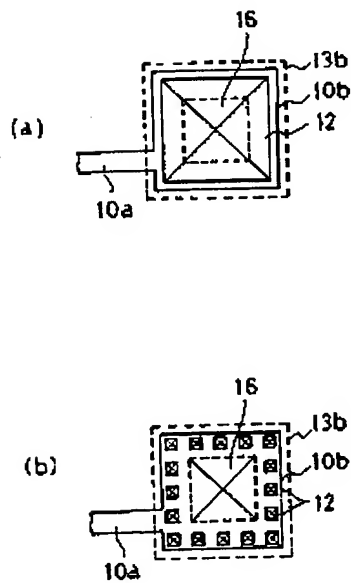


- 1a スイッチングトランジスタ
- 1b トランジスタ
- 2 ビット線
- 3 下層電線
- 4 容量絶縁膜
- 5 上層電線
- 7a 第1レベル配線層
- 10a 第2レベル配線層
- 10b ボンディングパッド
- 13a 第3レベル配線層
- 13b ボンディングパッド
- 14 表面保護膜
- 15 スタックトキャパシタ
- 16 コンタクトホール
- 18 メモリセル領域
- B1 周辺回路領域
- B2 ボンディングパッド領域

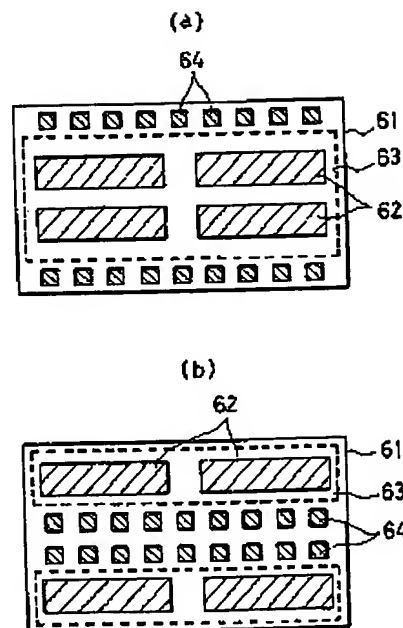
【図4】



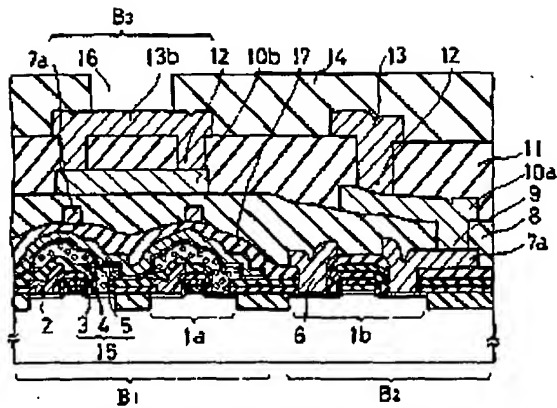
【図6】



【図9】

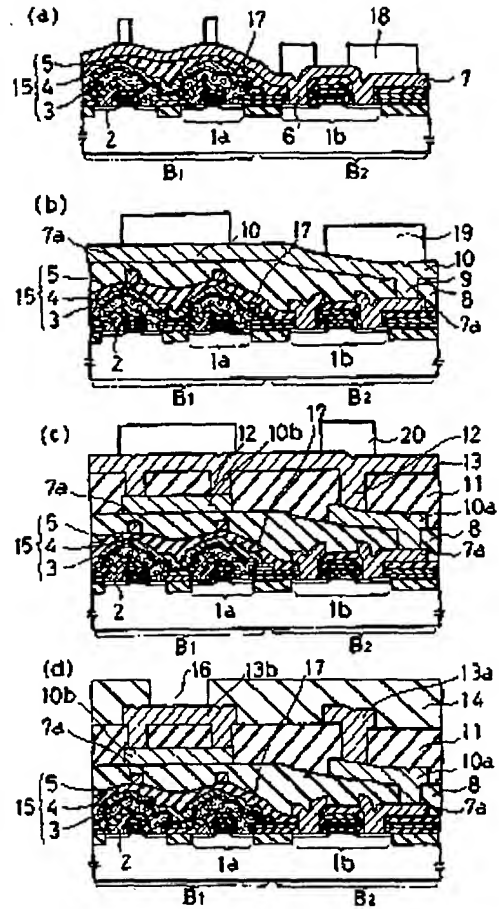


【図5】



- 1a スイッチングトランジスタ
- 1b トランジスタ
- 2 ビット線
- 3 下部電極
- 4 砂層絶縁膜
- 5 上部電極
- 7a 第1レベル配線層
- 7b 第2レベル配線層
- 8 ボンディングパッド
- 9 第3レベル配線層
- 10a ボンディングパッド
- 10b 第4レベル配線層
- 11 スタックドキャパシタ
- 12 コンタクトホール
- 13a メモリセル領域
- 13b 周辺回路領域
- 14 ボンディングパッド領域

【図7】



フロントページの続き

(72)発明者 今井 伸一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中田 義朗

大阪府門真市大字門真1006番地 松下電器
産業株式会社内